

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-319997

(43)Date of publication of application : 16.11.2001

(51)Int.Cl.

H01L 23/32  
H01L 23/12

(21)Application number : 2000-136979

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.05.2000

(72)Inventor : FUJINO JUNJI

## (54) SEMICONDUCTOR PACKAGE AND SEMICONDUCTOR CHIP

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor package with a high yield at low costs by simplifying a wiring pattern.

**SOLUTION:** Semiconductor chips are connected to a plurality single-layer wiring interposers sequentially and hierarchically. the interval of an outer bump pad on the single-layer wiring interposer is set to an integer times of the electrode pitch of the semiconductor chip, and the wiring pattern of each single-layer wiring interposer is simplified. Also, based on the arrangement of an outer bump where each function is given in advance, the electrode pad arrangement at a semiconductor chip side is determined, thus increasing the degree of freedom in wiring on a mother board.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(10) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-319997

(P2001-319997A)

(43) 公開日 平成13年11月16日 (2001.11.16)

(51) Int. Cl.

H01L 23/32  
23/12

識別記号

FI

H01L 23/32  
23/12

キーワード(参考)

D  
L

審査請求 未請求 請求項の数 6 OL (全 6 頁)

(21) 出願番号 特願2000-139978(P2000-139979)

(22) 出願日 平成12年5月10日 (2000.5.10)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 藤澤 純司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100102439

弁護士 宮田 金雄 (外1名)

(54) 【発明の名称】 半導体パッケージおよび半導体チップ

(57) 【要約】

【課題】 配線パターンを簡易化することにより、低コストで歩留りの高い半導体パッケージを提供する。

【解決手段】 半導体チップと複数の単層配線インターボーズを順次層層的に接続し、単層配線インターボーズ上のアウターバンパッドの間隔を半導体チップの電極ピッチの整数倍として、それぞれの単層配線インターボーズの配線パターンを単純化する。また、予め各機能を与えられているアウターバンパの配置に基づいて半導体チップ側の電極パッド配置を決定することにより、マザーボード上の配線の自由度を高くする。



BEST AVAILABLE COPY

(2)

特開2001-319997

1

2

## 【特許請求の範囲】

【請求項1】 所定ピッチの電極パッドを有する半導体チップと、前記半導体チップの電極パッドに対しアウターバンパッドを介して順次階層的に接続され、前記各層のアウターバンパッドの間隔が前層のアウターバンパッドの間隔より大きく設定された複数の単層配線インターポーザと、を備えたことを特徴とする半導体パッケージ。

【請求項2】 前記各単層配線インターポーザは、一層の絶縁層と、前記絶縁層の一表面に形成された導体層と、前記絶縁層の他の表面に所定間隔で形成された前記導体層と接続されたアウターバンパッドと、で構成されたことを特徴とする請求項1記載の半導体パッケージ。

【請求項3】 前記複数の単層配線インターポーザにおけるアウターバンパッドの間隔が前記半導体チップの電極パッドの間隔の整数倍であることを特徴とする請求項1記載の半導体パッケージ。

【請求項4】 半導体チップと、単層配線インターポーザの外周部に沿ってほぼ等間隔に2n列に配列されたアウターバンパッド列および外周部からn番目とn+1番目のアウターバンパッド列の間に位置するインナーバンパッド列を有する単層配線インターポーザと、を備えたことを特徴とする半導体パッケージ。

【請求項5】 半導体チップと、単層配線インターポーザの外周部に沿ってほぼ等間隔に2n+1列に配列されたアウターバンパッド列およびn番目とn+1番目あるいはn+1番目とn+2番目のアウターバンパッド列の間に位置するインナーバンパッド列を有する単層配線インターポーザを備えたことを特徴とする半導体パッケージ。

【請求項6】 マザーボード側の回路配置により予め各機能が予定された各アウターバンパッドの配置に基づき電極パッドの位置が決定されたことを特徴とする半導体チップ。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体パッケージおよび半導体チップに関するものであり、特に製造が容易で低コスト化が可能な半導体パッケージおよび半導体チップに関するものである。

【0002】

【従来の技術】 図4は従来の半導体パッケージの断面を示す模式図である。図4において、1は半導体チップ、15は多層配線インターポーザ、3はインナーバンパ、4は導体層、5は絶縁層、6はアウターバンパ、7はモールド樹脂、8は半導体チップの電極パッドをそれぞれ示す。

【0003】 半導体チップ1はインナーバンパ3を介して多層配線インターポーザ15に電気的・機械的に接続され、多層配線インターポーザ15上の導体層4による

配線の引き回しによって、図示していないマザーボード側の電極パッド配置に対応したアウターバンパ6に電気的に接続されている。なお、インナーバンパとは、インターポーザの上面側、すなわち半導体チップ側に設けられたバンパを、アウターバンパとはインターポーザの裏面側に設けられたバンパをそれぞれ示す。

【0004】 図5は、従来の半導体チップ1と単層配線インターポーザ2で構成された半導体パッケージにおける単層配線インターポーザ2上の導体層パターンを示す上面図(a)および断面図(b)である。なお、断面図(b)では奥行き方向の構造を省略している。図5において、1は半導体チップ、2は単層配線インターポーザ、3はインナーバンパ、4は導体層、5は絶縁層、6はアウターバンパ、7はモールド樹脂、8は電極パッド、9はアウターバンパパッド、10はインナーバンパパッド、11は配線パターンである。

【0005】 なお図4の場合と異なり、半導体チップ1の各機能を有する電極パッド8とそれに対応する機能を有するアウターバンパパッド9は互いに近接するよう所定位置に配置されている。これは、インナーバンパパッド10からアウターバンパパッド9までの配線パターンをなるべく短距離でかつ容易にするため、マザーボード側でかかる条件を満たすべく設計されているからである。

【0006】

【発明が解決しようとする課題】 従来の多層配線インターポーザ15では多層配線パターンを用いた。ところが、各導体層4の不良率が10%程度と高く、これが多層配線インターポーザ15の歩留りの主要要因となっていた。

【0007】 例えば、4層配線パターンでは、多層配線インターポーザ15の歩留りは80%×80%×80%×80%、すなわち41%に低下する。配線パターンが複雑化し、多層配線になるほど多層配線インターポーザ15の歩留りも低下する問題が生ずる。

【0008】 半導体チップ1の電極パッド8から配線パターンの引き回しにより多層配線インターポーザ15のアウターバンパパッド9に電気的に接続する場合、ピン数がある限界を超えると従来方法で製造可能な配線間隔よりさらに細かい多層配線の形成が必要となるため、低コストのガラス製多層配線インターポーザやエポキシ製多層配線インターポーザに代わってより細かい配線が形成可能なセラミック製多層配線インターポーザを用いる必要が生じ、結果的に高コストとなった。

【0009】 また、半導体チップ1の電極パッド8とアウターバンパパッド9の配置間隔に所定の関係がない両者を電気的に接続させるべく単層配線インターポーザ2の配線パターンを形成する場合、単層配線インターポーザ2でアウターバンパパッド9間を通る配線の密度にばらつきが生じるが、一面所でも従来の単層配線インターポ

BEST AVAILABLE COPY

(3)

特開2001-319997

3

ーザ2上の配線ルールで許容される限度を超える微細な部分が存在すれば、その部分の微細な配線を許容する新たな配線ルールが適用できるよう複雑で高コストな製造プロセスを用いる必要があった。

【0010】たとえ、半導体チップ1の電極パッド8とアウターバンパッド9の配置間隔に所定の関係があったとしても、半導体チップ1の電極パッド8に対してアウターバンパッド9位置が最適化されていない場合は、図5(a)に示すように、ある箇所ではアウターバンパッド9間の配線が1本であるのに対し、ある箇所では3本となり、この結果、3本の配線箇所に着合した微細加工が可能な製造プロセスを要するという不具合が生じた。

【0011】さらに、多層配線インターポーザ15上での複雑な配線パターンを緩和してアセンブリ歩留り向上やアセンブリコストを低減するため、従来は半導体チップの電極パッド8の配置にあわせるようマザーボードを設計する場合もあったが、これではマザーボード設計の自由度が大幅に制限され、マザーボードが組み込まれた装置全体の小型化等を図る際の障害となっていた。

【0012】例えば、図6に示すような従来の半導体チップの電極パッドの各機能に対応した配置に合わせてマザーボードを作製する場合、従来の単層配線インターポーザ2において、半導体チップの電極パッド10とアウターバンパッド9を接続する配線パターン11を最も単純に設計しようとすると、電源線13(図中の○)やグラウンド線14(図中の●)を外周側のアウターバンパッドに引き出す結果となる。

【0013】一方、他の半導体パッケージ等の部品との接続を要する信号線13は内周側のアウターバンパッドに配置されるため、マザーボード上の所定の箇所に信号を引き出すのにマザーボード自体に複雑な多層配線基板を用いる必要があった。

【0014】

【課題を解決するための手段】本発明に係る半導体パッケージは、所定ピッチの電極パッドを有する半導体チップと、前記半導体チップの電極パッドに対しアウターバンパッドを介して順次層層的に接続され、前記各層のアウターバンパッドの間隔が前層のアウターバンパッドの間隔より大きく設定された複数の単層配線インターポーザと、を備えたこととしたものである。

【0015】また本発明に係る半導体パッケージは、前記各単層配線インターポーザを、一層の絶縁層と、前記絶縁層の一表面に形成された導体層と、前記絶縁層の他の表面に所定間隔で形成され前記導体層と接続されたアウターバンパッドと、で構成することとしたものである。

【0016】また本発明に係る半導体パッケージは、前記複数の単層配線インターポーザにおけるアウターバンパッドの間隔が前記半導体チップの電極パッドの間隔の整数倍であることとしたものである。

4

【0017】また本発明に係る半導体パッケージは、単層配線インターポーザの外周部に沿ってほぼ等間隔に2n列に配列されたアウターバンパッド列と、n番目とn+1番目のアウターバンパッド列の間に位置するインナーバンパッド列と、を備えた単層配線インターポーザを用いることとしたものである。

【0018】また本発明に係る半導体パッケージは、単層配線インターポーザの外周部に沿ってほぼ等間隔に2n+1列に配列されたアウターバンパッド列と、n番目とn+1番目あるいはn+1番目とn+2番目のアウターバンパッド列の間に位置するインナーバンパッド列と、を備えた単層配線インターポーザを用いることとしたものである。

【0019】また本発明に係る半導体チップは、マザーボード側の回路配置により予め各機能が予定された各アウターバンパッドの配置に基づき半導体チップ側の電極パッドの位置を決定することとしたものである。

【0020】

【発明の実施の形態】実施の形態1. 図1は、実施の形態1による半導体パッケージを説明するための断面図である。図1において、1は半導体チップ、2は単層配線インターポーザ、3はインナーバンパッド、4は導体層、5は絶縁層、6はアウターバンパッド、7はモールド樹脂、8は半導体チップの電極パッドである。

【0021】2枚の単層配線インターポーザは、それぞれ、一層の絶縁層5(ガラスエポキシ、厚さ0.1mm)と、絶縁層5の一方の面に形成された一層の導体層4(Cu、厚さ18μm)と、他方の面に形成されたアウターバンパッド6と、で構成されている。半導体チップ1(シリコン、厚さ0.4mm)と第1の単層配線インターポーザ2および第1の単層配線インターポーザと第2の単層配線インターポーザ間は、はんだバンパ(Sn-Pb共晶はんだ、融点183℃)によって接続され、さらにエポキシ樹脂からなるモールド樹脂7が充填されて、半導体パッケージを構成している。

【0022】本発明による構成では、図4に示される従来のような多層配線パターンを用いないので、半導体パッケージの歩留りは一層の導体層4のみが形成された単層配線インターポーザ2の不良率に依存するが、かかる単層配線インターポーザの不良率は多層配線の各導体層の不良率よりはるかに小さい。よって、従来の多層配線インターポーザ15に代えて本発明に示す複数の単層配線インターポーザ構成とした方が半導体パッケージ全体として歩留りが向上する。

【0023】実施の形態2. 実施の形態2は、実施の形態1に示された複数の単層配線インターポーザ2の構成に加えて、単層配線インターポーザ上のアウターバンパッド9間隔がインナーバンパッド10間隔の整数倍になるよう構成されている。具体的な数値例を例にとり、以下に説明する。

BEST AVAILABLE COPY

(4)

特開2001-319997

5

6

【0024】半導体チップには150 $\mu$ mピッチで160個の電極パッド8が形成されており、第1の単層配線インターポーザ2によってアウターバンパッド9のピッチは300 $\mu$ mに拡大され、第2の単層配線インターポーザ2によってさらに600 $\mu$ mピッチのアウターバンパッド9に拡大される。

【0025】本実施例でアウターバンパッド9間の間隔をインナーバンパッド10の間隔の整数倍のピッチとするのは、整数倍でないと各単層配線インターポーザ2間でのアウターバンパッド9のピッチとインナーバンパッド10のピッチ間にずれが生じ、所定の整然とした配線パターンが得られないからである。

【0026】なお、ここでは導体層4が絶縁層5の一方の面にのみ形成された単層配線インターポーザ2を用いたが、絶縁層5の両面に導体層4が形成されたインターポーザを用いても同様の効果が得られることは言うまでもない。また、単層配線インターポーザ2の導体層4、および絶縁層5の材料は銅(Cu)およびガラスエポキシに限定する必要はなく、他の材料でも同様の効果が得られる。

【0027】また、半導体チップ1と単層配線インターポーザ2、および単層配線インターポーザ2間の接続は、はんだバンプに限らず導電性樹脂接続やワイヤボンディングによっても可能である。さらに、半導体チップ1と単層配線インターポーザ2、および単層配線インターポーザ2間の接続は、同時に行うことによってより製造プロセスの簡略化が可能となる。

【0028】前述の例では第1の単層配線インターポーザ2によって半導体チップ1の電極パッド8の150 $\mu$ mピッチは2倍の300 $\mu$ mピッチに拡大されるが、2倍に限らず整数倍であれば同様の効果が得られることは言うまでもない。

【0029】実施の形態3。図2は、実施の形態3による半導体パッケージを説明するための単層配線インターポーザ2の上面図(a)および断面図(b)である。なお、断面図(b)では進行方向の構造は省略している。なお本実施例では単層配線インターポーザ2を用いる。図2において、1は半導体チップ、2は単層配線インターポーザ、3はインナーバンパ、4は導体層、5は絶縁層、6はアウターバンパ、7はモールド樹脂、8は電極パッド、9はアウターバンパパッド、10はインナーバンパパッド、11は配線パターン、12はダミーバンパである。

【0030】単層配線インターポーザ2(140mm×140mm、厚さ0.1mm)は256個の0.6mmピッチのアウターバンパパッド9を有する。このうち四隅の4個づつ、すなわち合計16個のアウターバンパパッド12は配線を予定しないダミーバンパで、専ら応力緩和に用いられる。単層配線インターポーザ2の外周部に沿ってアウターバンパパッド9(直径300 $\mu$ m)を4列で配置し、ダミーバンパ12以外の240個のアウターバンパ

パッド9をアウターバンパパッド列の中央部に位置するインナーバンパパッド10に電気的に接続するため配線パターンを設ける。つまりインナーバンパ6を接続するためのインナーバンパパッド10(80 $\mu$ m×80 $\mu$ m)が、一辺9.6mmの正方形の各辺上に150 $\mu$ mピッチで240個配置される。

【0031】この結果、図2(a)の上面図から明らかなようにアウターバンパパッド9間を通る導体層4は単層配線インターポーザ2上のすべての領域で等しく1本となり、図5の従来例で示したようなアウターバンパパッド間に配線を最大3本通さねばならない事態は解消されるので、配線ルールによる製造上の制約を緩和できる。

【0032】本実施例では、アウターバンパパッドが4列の場合について説明したが、一般にアウターバンパパッド9が2n列、すなわち偶数列の場合はインナーバンパパッド10をアウターバンパパッド列のn番目とn+1番目の間に位置するようにすれば前述の実施例と同様の効果が得られる。

【0033】一方、アウターバンパパッド9が2n+1列、すなわち奇数列の場合はインナーバンパパッド10をアウターバンパパッド列のn番目とn+1番目あるいはn+1番目とn+2番目の間に位置するようにすれば、前述のアウターバンパパッド列が奇数列の場合と同様の効果が得られる。

【0034】実施の形態4。実施の形態4では、単層配線インターポーザ2上の配線パターンの複雑化を緩和するために、半導体チップ中の各領域毎に配置された電極パッド8に対してマザーボード側で接続部分を所定箇所に位置するよう設計する従来方法に代えて、マザーボード側の接続部分の配置を元に半導体チップの電極パッド8の位置を決める方法を示したものである。以下図3に基いて説明する。

【0035】図3の単層配線インターポーザ2では、半導体チップ側の電極パッド8をマザーボード上の対応電極パッドに容易に接続できるよう、予め所定の配置に設計している。図3の実施例では内周側のアウターバンパパッド9に接続する電極パッドを電源線13(図中の○)あるいはグラウンド線14(図中の●)に優先的に割り当てよう。予め半導体チップの電極パッド配置を設計している。よってマザーボード側で電源線13あるいはグラウンド線14をひとまとめにして短絡できるので、マザーボード上の配線は非常に単純化される。

【0036】また、信号線が外周側のアウターバンパパッド9に集中するよう半導体チップを設計しているので、配線ルールが単純化され、この結果、マザーボード上の配線の表層の導体層のみで最適な配線が可能となる。すなわちマザーボード上の配線の自由度が高くなり、設置小型化・軽量化などに対応しやすくなる。

【0037】

BEST AVAILABLE COPY

(5)

特開2001-319997

7

【発明の効果】本発明に係る半導体パッケージによれば、所定ピッチの電極パッドを有する半導体チップと、前記半導体チップの電極パッドに対しアウターバンパッドを介して順次階層的に接続され、前記各層のアウターバンパッドの間隔が前層のアウターバンパッドの間隔より大きく設定された複数の単層配線インターポーザと、を備えることとしたので、多層配線パターンを用いる必要がなくなるため、半導体パッケージの歩留りが改善する効果がある。

【0038】また本発明に係る半導体パッケージによれば、前記各単層配線インターポーザを、一層の絶縁層と、前記絶縁層の一面に形成された導体層と、前記絶縁層の他の表面に所定間隔で形成された前記導体層と接続されたアウターバンパッドと、で構成することとしたので、多層配線パターンを用いる必要がなくなるため、半導体パッケージの歩留りが改善する効果がある。

【0039】また本発明に係る半導体パッケージによれば、前記複数の単層配線インターポーザにおけるアウターバンパッドの間隔が前記半導体チップの電極パッドの間隔の整数倍であることとしたので、アウターバンパッド間の配線ピッチが緩和される結果、配線ルールによる制約を低減できる効果がある。

【0040】また本発明に係る半導体パッケージによれば、単層配線インターポーザの外周部に沿ってほぼ等間隔に2n列に配列されたアウターバンパッド列と、n番目とn+1番目のアウターバンパッド列の間に位置するインナーバンパッド列と、を備えた単層配線インターポーザを用いたので、アウターバンパッド間の配線ピッチが緩和される結果、配線ルールによる制約を低減できる効果がある。

【0041】また本発明に係る半導体パッケージによれば、単層配線インターポーザの外周部に沿ってほぼ等間隔に2n+1列に配列されたアウターバンパッド列と、n番目とn+1番目あるいはn+1番目とn+2番

8

目のアウターバンパッド列の間に位置するインナーバンパッド列を備えた単層配線インターポーザを用いたので、アウターバンパッド間の配線ピッチが緩和される結果、配線ルールによる制約を低減できる効果がある。

【0042】また本発明に係る半導体チップによれば、マザーボード側の回路配置により予め各機能が予定された各アウターバンパッドの配置に基づき半導体チップ側の電極パッドの位置を決定することとしたので、マザーボード上の配線の自由度が高くなり、装置小型化・軽量化などに対応しやすくなる効果がある。

【図面の簡単な説明】

【図1】 実施の形態1による半導体パッケージを説明するための断面図である。

【図2】 実施の形態3による半導体パッケージを説明するための単層配線インターポーザの上面図(a)および断面図(b)である。

【図3】 実施の形態4による半導体パッケージを説明するための単層配線インターポーザの上面図(a)および断面図(b)である。

【図4】 従来の半導体パッケージを説明するための図である。

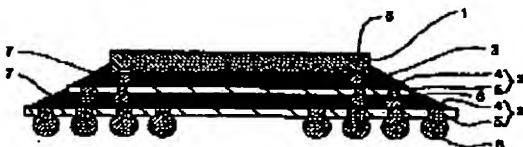
【図5】 従来の半導体パッケージを説明するための図である。

【図6】 従来の半導体パッケージを説明するための図である。

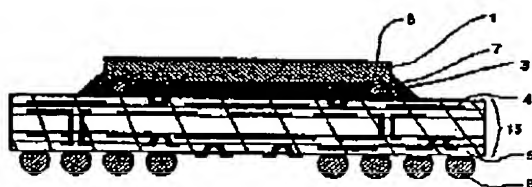
【符号の説明】

1 半導体チップ、2 単層配線インターポーザ、3 インナーバンパッド、4 導体層、5 絶縁層、6 アウターバンパッド、7 モールド樹脂、8 電極パッド、9 アウターバンパッド、10 インナーバンパッド、11 配線パターン、12 グミーパーパッド、13 電源線、14 グランド線、15 多層配線インターポーザ

【図1】

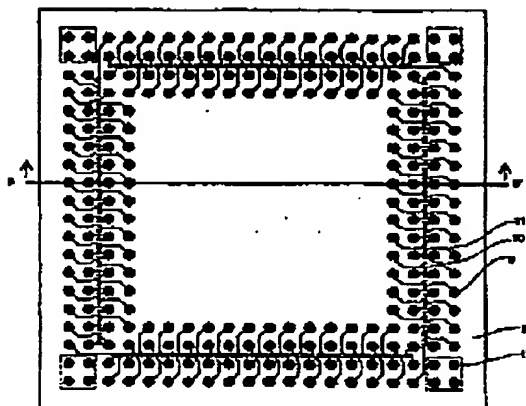


【図4】



(6) 特許2001-319997

【図2】

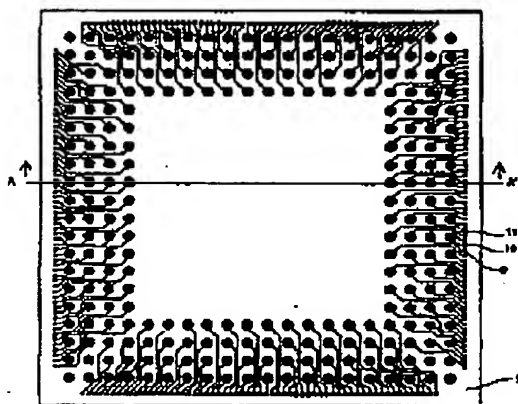


【a】



【b】

【図5】

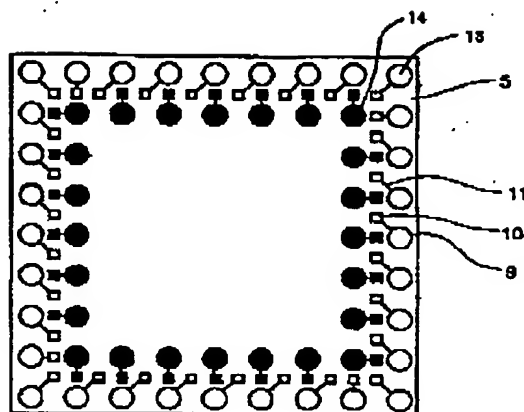


【a】

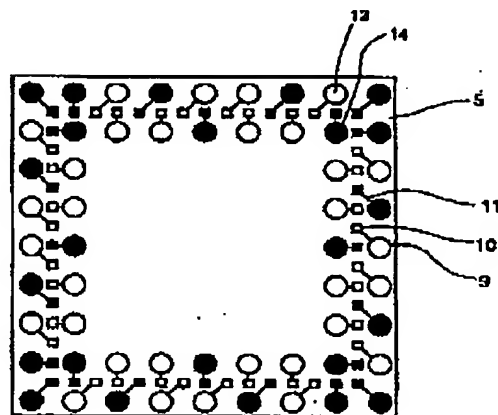


【b】

【図3】



【図6】



BEST AVAILABLE COPY